

PAT-NO: JP403016164A
DOCUMENT-IDENTIFIER: JP 03016164 A
TITLE: SEMICONDUCTOR DEVICE
PUBN-DATE: January 24, 1991

INVENTOR-INFORMATION:
NAME
FURUYA, YASUSHIGE
MORIYA, KAZUKO

ASSIGNEE-INFORMATION:
NAME COUNTRY
SEIKO EPSON CORP N/A

APPL-NO: JP01290499
APPL-DATE: November 8, 1989

INT-CL (IPC): H01L027/04

ABSTRACT:

PURPOSE: To enhance a stability and an accuracy as a resistance element by a method wherein a peripheral structure pattern of the resistance element is added a little in such a way that at least one side out of the upper and lower sides and the right and left sides of the resistance elements is covered with a low-resistance conductor.

CONSTITUTION: A diffusion resistance formed by a low-concentration diffusion operation or by an ion implantation operation or a resistance element 2 formed of polycrystalline silicon is covered with at least one low-resistance

conductor 1; this low-resistance conductor 1 is kept at a definite potential with reference to a power supply. More than a half of a plane area of the resistance element 2 is covered with the conductor 1 whose resistance is lower than that of the resistance element 2. Thereby, an electromagnetic field is shut off from impurity ions or adjacent signal lines which cause a change in a resistance value. Thereby, the resistance by the low-concentration diffusion operation and the polycrystalline silicon 2 can keep the resistance value stably.

COPYRIGHT: (C)1991,JPO&Japio

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平3-16164

⑬ Int.Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)1月24日

H 01 L 27/04

P
R

9056-5F
9056-5F

審査請求 未請求 請求項の数 30 (全12頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 平1-290499

⑰ 出 願 平1(1989)11月8日

優先権主張 ⑱ 昭63(1988)11月22日 ⑲ 日本(JP) ⑳ 特願 昭63-295083

㉑ 平1(1989)3月31日 ㉒ 日本(JP) ㉓ 特願 平1-81094

㉔ 発 明 者 降 矢 安 成 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

㉕ 発 明 者 守 屋 和 子 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

㉖ 出 願 人 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号

㉗ 代 理 人 弁理士 鈴木 喜三郎 外1名

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

(1) 多結晶シリコンで形成される抵抗素子の上下、左右少なくとも1辺を低抵抗導体で覆い、前記低抵抗導体は電源に対して一定電位に保たれていることを特徴とする半導体装置。

(2) 半導体基板に形成された選択的酸化膜(以下LOCOS)の上部に前記多結晶シリコンを形成したことを特徴とする請求項1記載の半導体装置。

(3) 半導体基板に形成された前記LOCOSの下に高濃度拡散領域を設け一定の電位を与えたことを特徴とする請求項2記載の半導体装置。

(4) 前記多結晶シリコンで形成される抵抗素子と同一の層に前記導体を形成し、前記導体を一定電位に保つことを特徴とする請求項1記載の半導

体装置。

(5) 前記多結晶シリコンで形成された抵抗素子の上部を前記低抵抗導体で覆い、前記低抵抗導体を一定電位に保つことを特徴とする請求項1記載の半導体装置。

(6) 前記多結晶シリコンで形成される抵抗素子の下部を前記低抵抗導体で覆い、前記低抵抗導体を一定電位に保つことを特徴とする請求項1記載の半導体装置。

(7) 前記低抵抗導体の電位を半導体装置の高電位(VDD)としたことを特徴とする請求項1記載の半導体装置。

(8) 前記低抵抗導体の電位を半導体装置の低電位(VSS)としたことを特徴とする請求項1記載の半導体装置。

(9) 前記低抵抗導体の電位を半導体装置の高電位と低電位の間電位とすることを特徴とする請求項1記載の半導体装置。

(10) 前記低抵抗導体の外周を前記抵抗素子の外周と同一又は大きくし、前記抵抗素子の上部又

は下部へ形成したことを特徴とする請求項1記載の半導体装置。

(11) 前記抵抗素子の両端に位置するコンタクト部を除く領域について、その上部又は下部を前記低抵抗導体で覆うことを特徴とした請求項1記載の半導体装置。

(12) 前記抵抗素子の少なくとも一端を^定電源電位(VDD又はVSS又は中間電位)として動作させ、前記低抵抗導体の電位を前記定電源電位としたことを特徴とする請求項1記載の半導体装置。

(13) 前記抵抗素子の材質を、イオンの打ち込み量を微減にした高抵抗多結晶シリコンとしたことを特徴とする請求項1記載の半導体装置。

(14) 一つの前記抵抗素子に中間タップ(コンタクト)を複数設け、複数の抵抗素子として使用して、この複数の抵抗素子の上部又は下部を共通の一定電位を持つ前記低抵抗導体で覆うことを特徴とする請求項1記載の半導体装置。

(15) 複数の前記抵抗素子を同一の材料で形成

し、この低抵抗導体に一定電位を与えたことを特徴とする請求項16記載の半導体装置。

(21) 前記低抵抗導体の電位を高電位(VDD)としたことを特徴とする請求項16記載の半導体装置。

(22) 前記低^抗導体の電位を低電位(VSS)としたことを特徴とする請求項16記載の半導体装置。

(23) 前記低抵抗導体の電位を高電位と低電位の中間電位とすることを特徴とする請求項16記載の半導体装置。

(24) 前記低抵抗導体の外周を前記抵抗素子の外周と同一又は大きくして、前記抵抗素子の上部又は下部へ形成したことを特徴とする請求項16記載の半導体装置。

(25) 前記抵抗素子の両端に位置するコンタクト部を除く領域について、その上部又は下部へ前記低抵抗導体を形成したことを特徴とする請求項16記載の半導体装置。

(26) 前記抵抗素子の少なくとも一端を^定電源

し、隣接して配置し、この複数の抵抗素子の上部又は下部を共通の電位を持つ前記低抵抗導体で覆うことを特徴とする請求項1記載の半導体装置。

(16) 拡散抵抗で形成される抵抗素子の少なくとも一辺を低抵抗導体で覆い、この低抵抗導体は電源に対して一定に保たれていることを特徴とする半導体装置。

(17) 前記抵抗素子の少なくとも一辺に沿って、前記抵抗素子と同一材料の前記導体を配置し、この導体に一定電位を与えたことを特徴とする請求項16記載の半導体装置。

(18) 前記抵抗素子の少なくとも一辺に沿って、高濃度の拡散領域を設け、この拡散領域に一定の電圧を与えことを特徴とする請求項16記載の半導体装置。

(19) 前記抵抗素子の上部を前記低抵抗導体で覆い、この低抵抗導体に一定電位を与えたことを特徴とする請求項16記載の半導体装置。

(20) 前記抵抗素子の下部を前記低抵抗導体で

覆い、この低抵抗導体に一定電位を与えたことを特徴とする請求項16記載の半導体装置。

(27) 一つの前記抵抗素子に中間タップ(コンタクト)を複数設け、複数の抵抗素子として使用して、この複数の抵抗素子の上部又は下部へ共通の一定電位を持つ前記低抵抗導体を形成することを特徴とする請求項16記載の半導体装置。

(28) 複数の前記抵抗素子を同一の材料で形成し隣接して配置し、この複数の抵抗素子の上部又は下部が共通の一定電位を持つ前記低抵抗導体を形成することを特徴とする請求項16記載の半導体装置。

(29) 前記拡散抵抗を、低濃度拡散で形成することを特徴とする請求項16記載の半導体装置。

(30) 前記拡散抵抗をイオン打ち込みで形成することを特徴とする請求項16記載の半導体装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体装置に於ける高精度な抵抗素子の構造に関する。

〔従来の技術〕

従来、多結晶シリコンで抵抗素子、特に高抵抗素子を半導体基板上に形成した構造図を第3図に示す。半導体基板3の上に酸化膜である絶縁膜9をはさみ多結晶シリコン2が形成され、コンタクト5、7を介してアルミニウム電極線4、6と接続されている。そして多結晶シリコン2の上には絶縁膜10があり、その上部はアルミニウム配線による信号線又は何も信号線がなく酸化保護膜があるのみであった。

さらに、従来低濃度の拡散層又はイオン打ち込みによる拡散層で形成される抵抗素子を半導体基板上に形成した構造図を第4図に示す。半導体基板13の表面部に形成された拡散抵抗12はコンタクト15、17を介してアルミニウム電極線14、16と接続されている。そして拡散抵抗の上部には酸化膜である絶縁膜があり、その上部は多

結晶シリコンやアルミニウムによる他の信号配線が、又は何も信号配線がなく酸化保護膜があるのみであった。

〔発明が解決しようとする課題〕

しかし、第4図に示す従来の構造では、抵抗素子の拡散面と酸化膜の界面に蓄積した電荷や抵抗素子上を通過する信号配線からの電界のために抵抗素子表面に空乏層を生ずる。この空乏層は抵抗素子の抵抗値を上昇させる方向に働く。この空乏層の厚みが抵抗素子の拡散の深さに対して無視できない水準になると、抵抗素子の値を大きく変動させることになる。イオン打ち込みで形成される 1μ 以下の拡散深さでシート抵抗 $6\sim 9\text{K}\Omega/\square$ 以上の抵抗素子では、この現象が顕著で、抵抗値が数%から数10%変動することがあった。

また同様に、第3図に示すような構造に高抵抗多結晶シリコンを使用した場合、酸化膜で保護されているだけのため、不純物イオンが多結晶シリコン上に進入した場合、その電界により、多結晶シリコンの抵抗値が大きく変動することがあった。

のである。

又、光が照射されることによる抵抗値の変動も防止することができる。

〔実施例〕

本発明の実施例を図面に基づいて説明する。第1図は本発明の基本構成となる多結晶シリコンによる抵抗素子の構造図である。2は多結晶シリコンを用いた抵抗素子で、その両端はコンタクト5、7を経由して電極4、6へ引き出されている。電極4、6の材料はアルミニウムである。そして多結晶シリコン2の上部に酸化膜をはさみ、低抵抗導体1を形成し、一定電位（低電源電位 V_{SS} 、又は高電源電位 V_{DD} 、その中間電位でもよい）を与えておく。尚、本発明に於ける酸化膜とは絶縁膜を意図する。

このような構造の抵抗素子は次の様な利点がある。まず低抵抗導体1の上部に配置される信号線、及び外界からのノイズが抵抗素子へ飛び込むのを防止することができる。つまり抵抗素子の周囲に存在する浮遊容量、浮遊インダクタンス等から伝わ

又半導体素子は特性上、光に対してエネルギー単位が変化する為、半導体装置に可視光、赤外線、紫外線等が照射されると、抵抗値が変化してしまうという問題点も有していた。

〔課題を解決するための手段〕

本発明の半導体装置の構成は、低濃度拡散あるいはイオン打ち込みで形成される拡散抵抗もしくは多結晶シリコンで形成される抵抗素子の少なくとも一個を低抵抗導体で覆い、この低抵抗導体は電源に対して、一定電位に保たれていることを特徴とする。

〔作用〕

本発明の上記構成によれば、低濃度拡散あるいはイオン打ち込みで構成される抵抗、又は高抵抗多結晶シリコンの少なくとも上方を一定電位に接続された抵抗素子より低抵抗の導体で抵抗素子の平面面積の半分以上を覆うことにより、抵抗値の変動の原因となる、不純物イオンや近接信号線からの電磁界を遮断するので、低濃度拡散の抵抗、多結晶シリコンが抵抗値を安定に保つことができる

る電気・磁気ノイズは、低抵抗導体の静電しゃへい効果により取り除かれる。よって抵抗素子は、半導体装置の動作中でもノイズにより電流-電圧特性（即ち抵抗値）が変化することなく、安定した精度の高い素子として使われる。

次に、製造工程中及び完成後に抵抗素子へ外部から入り込む＋イオン、－イオンの進入を防止することができる。つまり低抵抗導体の電位より＋側に帯電しているイオンは反発させ抵抗素子から遠ざけ、－側に帯電しているイオンは低抵抗導体へ引きよせる。すると、半導体装置の電源をいれている間は、抵抗素子近傍のイオン分布は一定となり、外部イオンによる電界影響を防ぐことができる。

よって経年変化により抵抗値が変動することを防止することが可能となる。

さらに低抵抗導体は、外部から抵抗素子へ照射される光を遮断することが可能である。高抵抗多結晶シリコン抵抗は半導体である為、可視光、赤外線、紫外線等の光エネルギーにより、電子エネ

ルギーが遷移し、結果的に抵抗素子としての特性が変化してしまう。そこで低抵抗導体という物理的保護材で覆うことにより上記の様な問題点はなくなり安定した抵抗素子となる。

以上、外界からの影響で抵抗素子特性が変動することを防止する利点をあげてきたが、反対に抵抗素子自体から発生するノイズ、電界・磁界を周囲へおよぼさないという利点もある。とくに高速で動作する回路の場合、抵抗素子を流れる電荷も急激に変動する為、熱雑音を大きくなり、この抵抗素子から放出される不要輻射は無視できなくなり、この様は場合、有効である。

抵抗の材料としては、P型多結晶シリコン、N型多結晶シリコンの他にイオン打ち込みしないか、イオン打ち込み量を少なくした高抵抗の多結晶シリコン（ハイレジと呼ぶ）、又はシリコンに限らず他の半導体、及び半導体-金属化合物においても、本発明は同じ効果を持つ。

低抵抗導体の材質としては、アルミニウム・タングステン・モリブデンはどの金属が一般的であ

るが、多結晶シリコンでも効果はある。さらにカリウム系系の化合物・超電導材料でも可能である。

本発明は構造が簡単である為、応用範囲が極めて広い。その中から抵抗素子の構造に関する応用例に焦点を絞り、実施例をあげてゆく。

第5図は半導体基板表面に形成された選択的酸化膜（以下LOCOSと呼ぶ）上に本発明の多結晶シリコン抵抗を形成した図である。基板55上にLOCOS53を形成し、その上に酸化膜52を介して多結晶シリコン抵抗50を形成する。さらに酸化膜56をはさみアルミニウムの導体51で抵抗50を覆い、アルミニウム導体51には電源VSS54を接続しておく。LOCOSの上部に抵抗素子を形成することの利点は、LOCOS膜が厚い為、多結晶シリコンの真下に寄生トランジスタができにくい、基板との距離が遠くなる為、抵抗素子と基板の間の浮遊容量が少なくなる。抵抗直下のピンホールによりリークが防止しやすい等があげられる。第5図は低抵抗導体で覆うこと

により、抵抗素子としての安定性、高精度性、信頼性がさらに高まる。

第6図はLOCOSの直下に高濃度拡散領域を設けた応用例の図である。トランジスタの耐圧を上げる為にLOCOSの下に高濃度拡散領域（ストッパー）を設ける。第6図はPチャンネル領域などで、濃いN⁺ストッパー65を設け、基板66よりVDD電位を与える。LOCOS64の上に多結晶シリコン抵抗60を形成し、その上部をアルミニウム導体61で覆い、その電位をVDD67とする。この構成にすると抵抗60はVDDに保たれるアルミニウム導体61とN⁺ストッパー65によって上下からシールドされる。よって抵抗素子としての特性も安定しかつトランジスタの耐圧も上がるという二重の効果がある。Nチャンネル領域では、LOCOS下のP⁺ウェルにP⁺ストッパーを設け、このP⁺ストッパー及びアルミニウム導体にVSSを与えれば全く同じ効果が得られる。

第7図（a）は、抵抗と同じ材料で抵抗周辺を

シールドした実施例の平面図で、第7図(b)はA-B線の断面図である。本発明のシールド効果をより高めるには、抵抗素子と同じ高さ(層)にもシールド材を形成することが望ましい。そこで、多結晶シリコン抵抗素子70の周囲に多結晶シリコン77を配置し、それらを全て覆うVSSに接続されたアルミニウム導体75を形成し、アルミニウム導体75と多結晶シリコン77はできる限りコンタクト76、78を設ける。こうすることにより多結晶シリコン70の抵抗値は下がり、低抵抗導体に対してシールド効果を発揮する。図中73、74は、コンタクト71、72を介して多結晶シリコン70に接続されるアルミニウム導体75を同層のアルミニウム電極線である。

第8図は抵抗素子の下層にシールド層を形成した構造図である。半導体基板83の上に酸化膜86をはさみ、導体82を形成し、電位をVSS85とする。この導体82は通常第1多結晶シリコンが用いられる。そして酸化膜をはさみ、第2多結晶シリコンによる抵抗素子80が形成され、さ

らに酸化膜をはさみ、VSS84へ電位をとられたアルミニウム導体81が抵抗素子80の上部を覆う。この構造にすれば、抵抗素子80をその上下層からシールドする為、安定した抵抗素子が得られるという効果は高い。ここで第1多結晶シリコンはアルミニウムより高抵抗であるため第1多結晶シリコンとVSS電源を接続する為のコンタクトを多くとる程、前記効果が大きくなることはいうまでもない。特に導体が多結晶シリコンの場合、抵抗素子を挟んで対向する多結晶シリコンの両端部の2個所に少なくとも電源コンタクトを配置する等して、多結晶シリコン導体の各部分の電位をできるだけ均一にするようにすれば、抵抗素子に対する効果はより一層向上する。

第9図(a)は第1図の構造に於いて、低抵抗導体の電位をVDD90にとった抵抗素子の構造図である。シールド効果という点からするとVSSでもVDDでも変わらない。

第9図(b)は同じく低抵抗導体への印加電位をトランジスタの出力電圧から取り出してVDD、

VSSの中間電位とする場合の一側図である。MOSトランジスタ91、92、93、94のトランジスタ駆動能力を各々 β_{P1} 、 β_{P2} 、 β_{N1} 、 β_{N2} 、トランジスタしきい値を各々 V_{TP1} 、 V_{TP2} 、 V_{TN1} 、 V_{TN2} とすると信号96の電位は

$$V_2 = V_{DD} - \sqrt{\frac{\beta_{N2} \cdot \beta_{P1}}{\beta_{P2} \cdot \beta_{N1}}} \times (V_{TP2} - V_{TP1})$$

$$\left(\begin{array}{l} \beta_{P1} = \beta_{P2}, \beta_{N1} = \beta_{N2} \\ \text{但し、} V_{TN1} = V_{TN2} \end{array} \right)$$

$$V_{DD} - V_2 = V_{TP2} - V_{TP1}$$

となる。よって出力電圧は、VDDを基準とすると、

$$V_{OUT} = V_2$$

シールド効果を上げるためには、中間電位の出力インピーダンスを低くする必要がある。第9図(b)では、 V_2 電位のボルテージフロアとして差動対を利用し、出力97を得ている。

さらにシールドされる抵抗素子の温度特性に合わせて、シールド導体の電位を変化させてやれば、シールド抵抗素子を変動させる原因の一つである

空乏層の効果を補償することができる。例えば第9図(b)において、トランジスタ94のゲート入力を直接ボルテージフォロアの+端子に入力すれば、P型のシールドされる抵抗素子の空乏層効果を補償することができる。

第10図は中間タップ付抵抗素子の応用回路図である。抵抗を2分割して、その中間点からの出力オペアンプ107を通して取り出す回路で、正確に2分割された抵抗素子へ本発明を適用している。

VDD100とVSS105にコンタクト102、104を介して接続された多結晶シリコン抵抗101には、その構造上の中間点にコンタクト103が設けられ、コンタクトから取り出す信号106の電位はVDD/2になるようにしてある。この多結晶シリコン抵抗101の上部をVSSへ接続されたアルミニウム導体109で覆うことにより、抵抗値が周囲のノイズや電磁界からシールドされ、部分的に抵抗値が変動してしまうのを防止する。よって出力V₁₀₈には正確にVDD

／2が出力される。

第11図は第10図と目的は同じで、2本の抵抗素子を用いる場合の応用回路図である。VDD 110とVSS 111の間に直列接続された2本の多結晶シリコン抵抗114と115があり、その2本をつなぐ信号116はオペアンプ117へ入力され、信号116の電位がそのまま出力電圧V_o 118となって出力される。

$$V_o = \frac{V_{DD}}{2}$$

とする為には、抵抗115と116の構造を全く同じにしておき、かつ周囲からのノイズ、電磁界による影響を防ぐ為、抵抗115と116の上層アルミニウム導体113と112で覆い、同一の電位111を与えておく。こうすることによりV_oには安定した電圧が出力される。

この構成による抵抗分割は極めて応用範囲が広く、3本、4本を直列接続しておけば、VDD／3、VDD／4も簡単に得られる。

又、スタンダードセル方式による半導体集積装

置内のレイアウト時、予め抵抗素子とそれを覆うアルミニウム等の導体を1つのセルとして登録しておけば、簡単に自動配置、配線処理が可能である。

以上、多結晶ポリシリコン抵抗を用いた本発明の構造では、アルミニウム配線1番の場合を例にあげて来たが、もちろん2層、3層配線の半導体装置でも応用できる。

第12図はアルミ2層以上の構造図である。基板121の上に酸化膜122をはさみ多結晶シリコン抵抗120があり、電極124、125を通して抵抗素子として動作する。電極124、125は第1アルミニウム配線層である。さらに酸化膜123、126をはさんで、第2アルミニウム配線層127があり、多結晶シリコン抵抗120の上部を覆っており、かつVSS電位を与えられている。この場合、抵抗素子120とシールド材127の距離が、アルミニウム1層配線の時より離れる為、多少シールドの効果は減るが、抵抗素子のコンタクトをさけてシールド材のパターン設

計をしなくて済むので、その分、設計は容易となる。

これまでの実施例は多結晶シリコンを抵抗素材として使う場合であったが、半導体基板に埋め込まれた拡散抵抗の場合でも、本発明のシールド効果により抵抗の安定化という技術は応用できる。

第2図は本発明を拡散抵抗へ応用した時の基本構造図である。拡散抵抗12の両端にコンタクト15、17を設け、アルミニウム配線14、16を電極とする。そして拡散抵抗の上部を酸化膜をはさんでアルミニウム導体11で覆い、VSS電位18を与えておく。この構造によりアルミニウム導体11はシールド材となり、外界からの電磁波ノイズや光、イオン、よごれを電気的かつ物理的に遮蔽するので、拡散抵抗の安定化、高精度化の効果がある。

拡散抵抗の材質としてはN⁻基板中に形成するP⁻ウェル抵抗、P⁻基板中に形成するウェル抵抗などの低濃度拡散抵抗や、イオン打ち込みで形成するP⁺抵抗、N⁺抵抗などの高濃度拡散抵抗

などに本発明は適用できる。

又低抵抗導体の材質としては、アルミニウムや多結晶シリコンの他、金属-半導体化合物、超電導物質などが適用できる。

拡散抵抗とシールド材料の組み合わせも多くのものが可能で、その中から抵抗の構造に焦点を絞り実施例をあげてゆく。

第13図は拡散抵抗の周囲を同じ拡散材料で覆った場合の構造図である。第13図(a)は平面図、第13図(b)はA-B線の断面図である。拡散抵抗130が半導体基板139の浅い部分形成されており、その周囲(横方向)に同じ拡散材料137を形成し、拡散抵抗130の上部を酸化膜をはさんで覆うアルミニウム導体135は拡散材料137とコンタクト136、138を介して接続され、さらに電源VSSへ電位を与えられる。この構造により周囲のトランジスタのソース・ドレイン・又は拡散抵抗からの電磁界ノイズを遮蔽する効果が高まる。図中133、134は拡散抵抗130へコンタクト131、132を介して接

繞される135と同じ層のアルミニウム電極線である。

第14図は拡散抵抗の下層部にシールド導体を形成した場合の構造図である。P⁻基板143にN⁺埋め込み層142があり、144、145は高不純物濃度のN型エピタキシャル層で、コンタクト146によりVDDへ電位をとられている。140はP⁺拡散抵抗で、酸化膜147をはさみ、上部をアルミニウム導体141で覆われており、アルミ導体141の電位もVDDとなっている。この構造の拡散抵抗素子は、上下・左右からシールドされる為、抵抗としての安定性、精度が極めて高い。

この様に第13図、第14図の実施例では抵抗素子の横方向及び下方向に対するシールド効果がある為、半導体集積装置に光や α 線が照射された時に発生する電流路近くのトランジスタのスイッチングによる基板電流の影響を防ぐという大きな効果も有している。

第15図(a)は拡散抵抗の周囲をストッパー

で囲んだ場合の平面図で、第15図(b)はそのA-B線の断面図である。N⁻基板で形成したP⁻ウェル159表面に作られたN型拡散抵抗150の周囲にP⁺ストッパー157を形成し、コンタクト156、158によりアルミニウム導体155からVSS電位を与える。この構造によれば、周囲からの電磁ノイズをシールドして防止する他、ラッチアップ防止効果もある。

この反転型半導体の場合、N⁻基板の上にP型拡散抵抗を形成し、その周囲をN⁺ストッパーで囲い、N⁺ストッパー及び拡散抵抗2のアルミニウム導体にはVDDを与えることにより、やはり電磁ノイズシールド及びラッチアップ防止という効果がある。尚、図中、153、154はアルミニウム導体と同層のアルミニウム電極線であり、コンタクト151、152を介して抵抗150に接続される。

これまで述べて来た拡散抵抗の周囲を一定電位を与えられた導体で覆うということによる静電遮蔽効果は、多結晶シリコン抵抗の場合と同様前記

一定電位の電源として、VSS、VDD、又はその中間電位でもかまわない。

また、拡散抵抗に中間タップを設け、1本の拡散抵抗素子を分圧して使用する場合も、その周囲を一定電位に接続された導体で覆うことにより、抵抗素子の安定性が高まるという効果がある。

さらに複数の拡散抵抗素子を用いる場合も前述と同様、本発明が適用できる。

第16図は、本発明のシールド抵抗が高周波回路のディレイラインとして使えることを示す等価回路である。抵抗160～163の周囲は一定電位の導体で囲んであるので、コンデンサ164～167は常に安定な容量値を得ることができ、またシールドされているので、抵抗値の安定性も良い。信号はV_I側の抵抗端子から入力し、出力にV_{OUT}側の抵抗端子から取り出す。

以上述べてきた様に、本発明はその応用範囲が極めて広い。

回路技術の中で最も基本的な受動素子である抵抗素子の精度を上げるということは、あらゆる電

子回路の中で使われる。特に抵抗の絶対値の精度が必要な発振回路、A/D変換回路、センサー回路、及び複数の抵抗素子の相対的な値(抵抗比)の精度が必要なD/A変換回路、電圧検出回路、発振停止検出回路、さらに高抵抗としてできる限りリーク電流を抑止が必要なスタックRAM、EPROM、F²PR²OMなどの電子デバイスを半導体集積装置上に形成する場合、本発明は極めて利用しやすいものである。

さらに本発明の抵抗素子をシールド導体で覆うという技術は、容量、トランジスタ、等の周囲をシールド導体で覆うということにも応用可能で、容量、トランジスタの安定性を上げることができる。

〔発明の効果〕

本発明は、既存の製造工程を用いて、抵抗素子の周辺構造パターンを少し付加するだけという簡単な構成で、抵抗素子としての安定性、精度が向上する為、その応用範囲が極めて広い。

抵抗素子の安定性、精度が向上するとは、抵抗

素子としての絶対値、あるいは複数の抵抗素子を用いた時の相対抵抗比に関して、周囲の電磁界ノイズの影響を受けにくくなるということである。

また抵抗素子の表面(一般には酸化膜)電位がフローティングにならない様にする為、イオン等の影響を受けにくくなり、抵抗値の経年変動を防止できる。

さらに光により抵抗素子特性が変動することが防止できる。

そして抵抗素子自体から発生する電磁界ノイズを軽減することができる。

また低濃度拡散により精度の良い高抵抗素子が実現できる為、必要面積が少なくなり、結果的に半導体集積装置を高集積化できる。

4. 図面の簡単な説明

第1図は本発明の多結晶シリコンによる抵抗素子の構造図。

第2図は本発明の拡散抵抗素子の構造図。

第3図は従来の多結晶シリコンによる抵抗素子

ポリシリコン抵抗の断面図。

第13図(a)周辺を抵抗と同じ材料で覆った本発明による拡散抵抗の平面図、第13図(b)はその断面図。

第14図は抵抗の上下層をシールド導体で覆った本発明の拡散抵抗素子の断面図。

第15図(a)は周辺をストッパーで囲った本発明の拡散抵抗素子の平面図、第15図(b)はその断面図。

第16図はシールド導体で覆われた本発明の抵抗素子を高周波回路のディレイラインとして使用した場合の等価回路図。

の構造図。

第4図は従来の拡散抵抗素子の構造図。

第5図はLOCOS上に形成した本発明の多結晶シリコン抵抗の構造図。

第6図はLOCOS下にストッパーを設けた時の本発明の多結晶シリコン抵抗の構造図。

第7図(a)は、周辺を抵抗素子と同じ材料で囲んだ本発明の多結晶シリコン抵抗の平面図、第7図(b)はその断面図。

第8図は抵抗素子の上下層を導体で覆った本発明の多結晶シリコン抵抗の構造図。

第9図(a)は抵抗素子を覆う導体の電位をVDDにした、本発明の多結晶シリコン抵抗の構造図、第9図(b)は導体の電位をトランジスタの出力とした時の一回路例を示す図。

第10図は中間タップで出力電圧を抵抗分割する時の本発明による抵抗素子の応用回路図。

第11図は、複数の抵抗素子で出力電圧を抵抗分割する時の本発明による抵抗素子の応用回路図。

第12図は二層金属配線による本発明の多結晶

53・・・・・・LOCOS

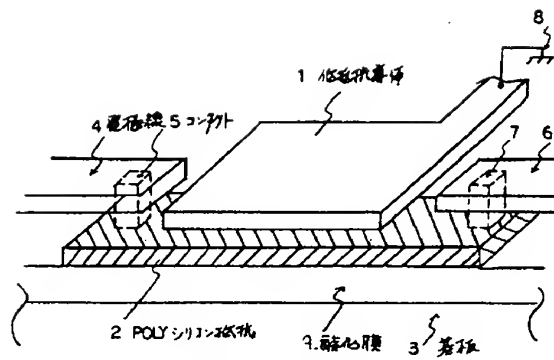
65・・・・・・ストッパー

以 上

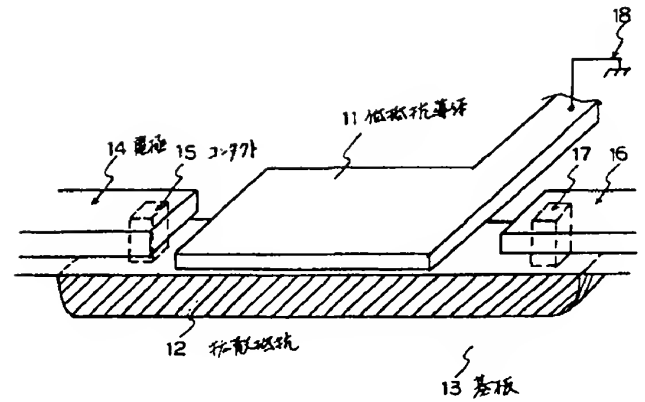
出願人 セイコーエプソン株式会社

代理人 弁理士 鈴木 喜三郎(他1名)

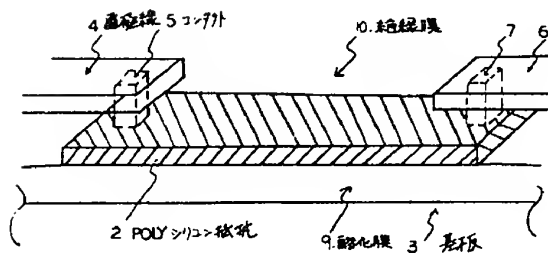
- 1、11・・・・低抵抗導体
- 2・・・・・・多結晶シリコン抵抗
- 3、13・・・・半導体基板
- 4、6・・・・抵抗の電極
- 5、7・・・・抵抗のコンタクト
- 8・・・・・・VSS電位
- 2・・・・・・拡散抵抗



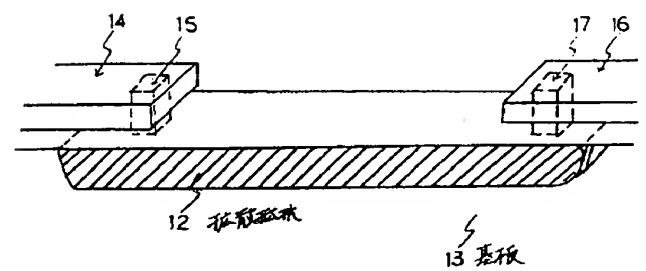
第 1 図



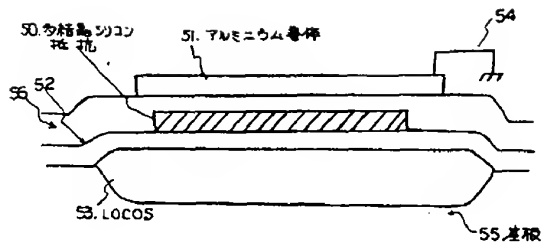
第 2 図



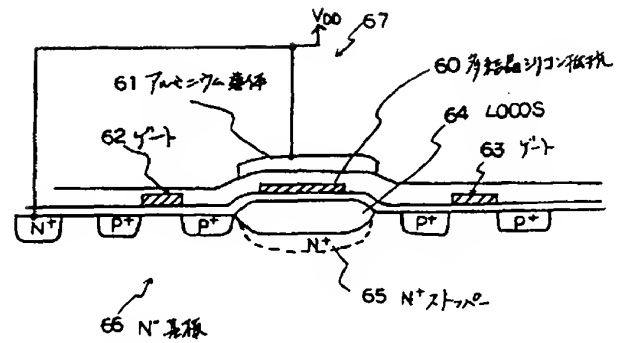
第 3 図



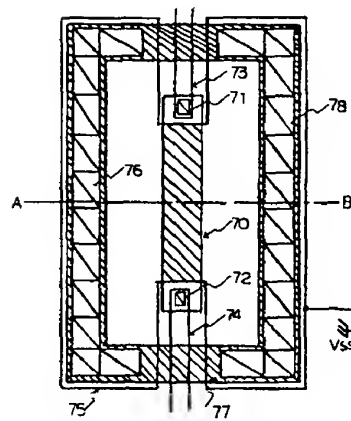
第 4 図



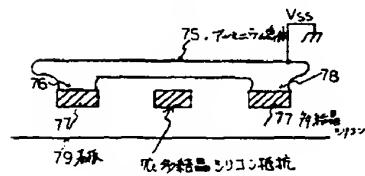
第 5 図



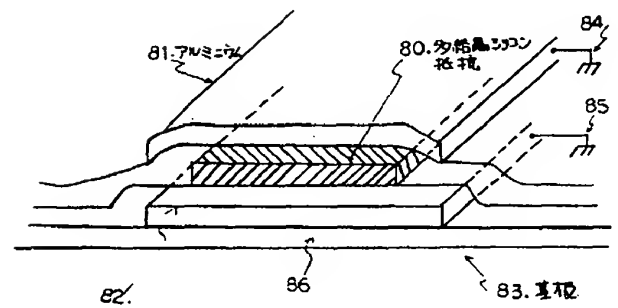
第 6 図



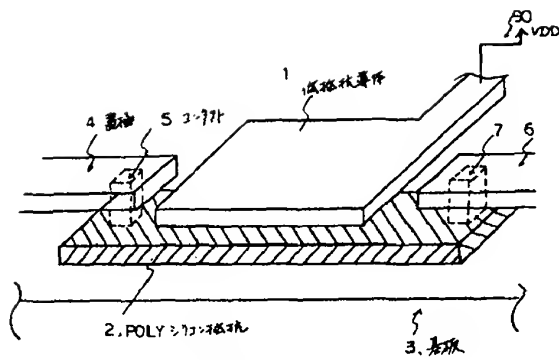
第 7 図 (a)



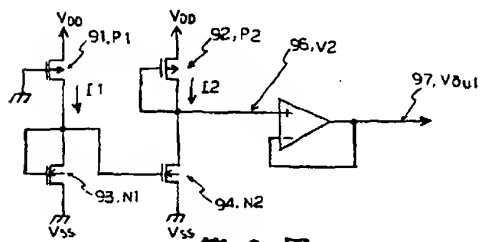
第 7 図 (b)



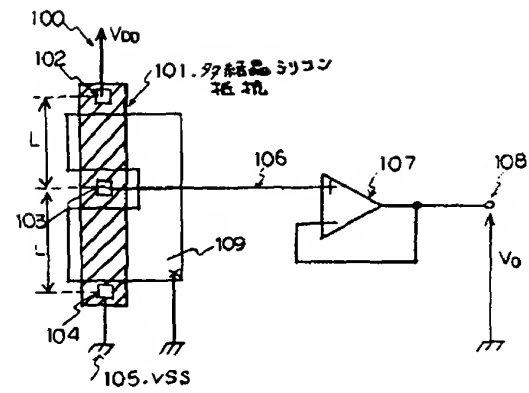
第 8 図



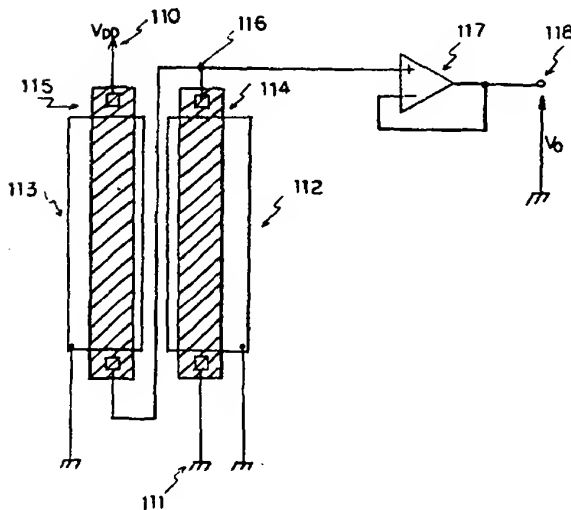
第 9 図 (a)



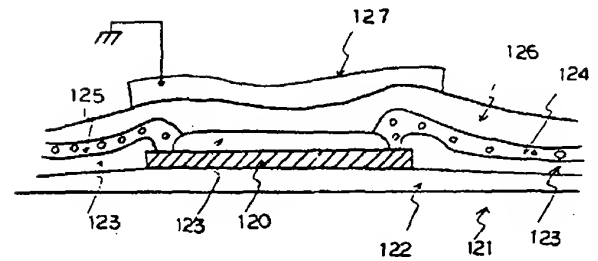
第 9 図 (b)



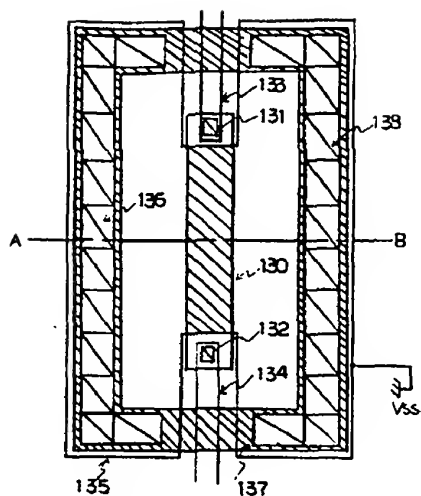
第 10 図



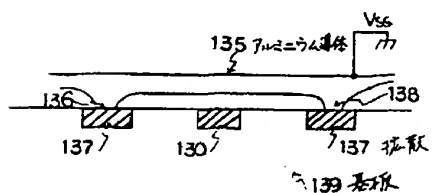
第 11 図



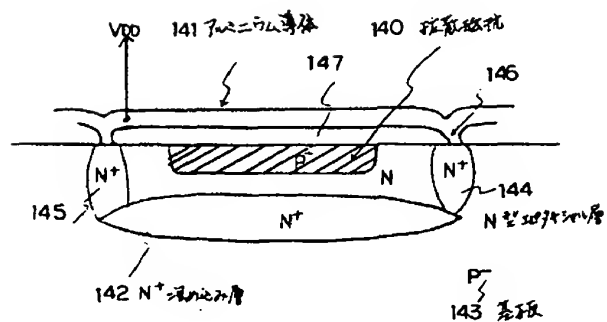
第 12 図



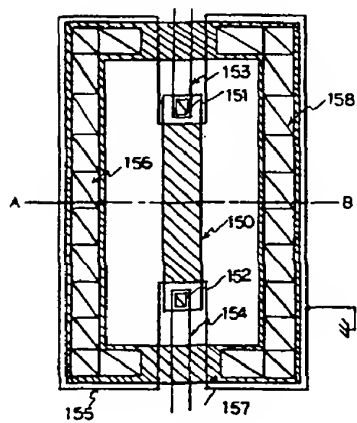
第 13 図 (a)



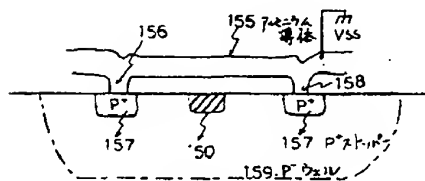
第 13 図 (b)



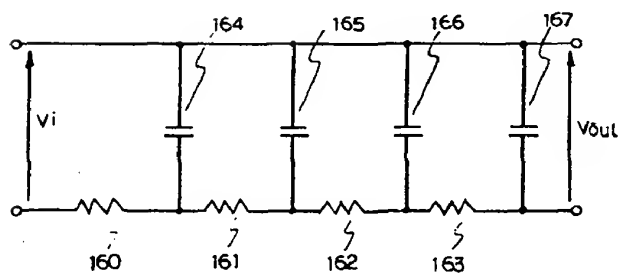
第 14 図



第 15 図 (a)



第 15 図 (b)



第 16 図